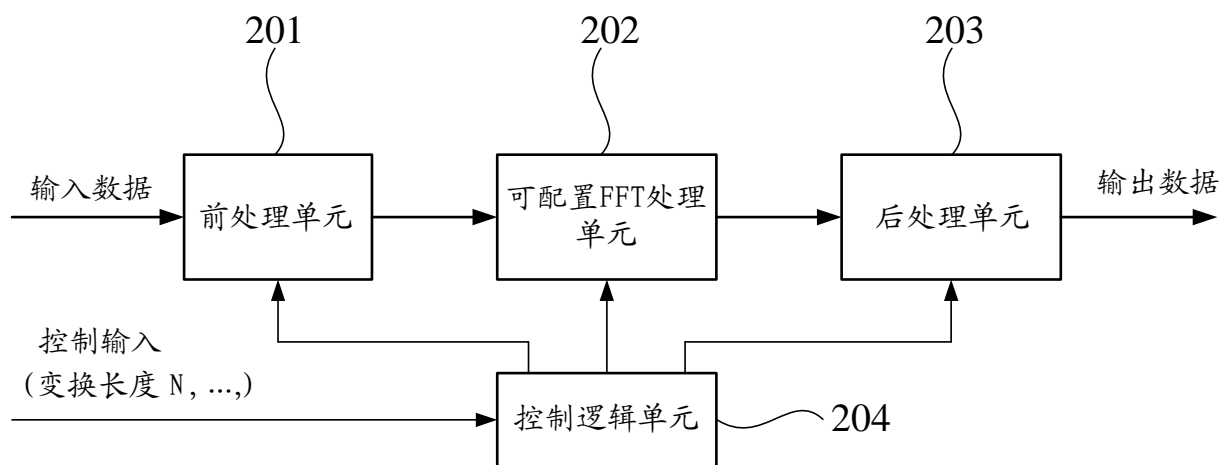


说明书摘要

一种用于 3GPP LTE/4G 无线通信的 DFT/IDFT 变换系统，包括：前处理单元、可配置 FFT 处理单元、后处理单元及控制逻辑单元，其中前处理单元、可配置 FFT 处理单元及后处理单元依次相连，而控制逻辑单元分别和前处理单元、可配置 FFT 处理单元及后处理单元相连。本发明通过前处理单元的上采样操作、可配置 FFT 处理单元的流水线式 FFT 变换以及后处理单元的频域补偿、数据抽取及预映射操作后即可得到所需要的 DFT/IDFT 变换结果。因此本发明不仅可以高效地计算 LTE 上行链路所使用的 DFT/IDFT，同时具有良好的可扩展性以适应未来的 4G 无线通信标准。



摘要附图



权 利 要 求 书

1、一种用于 3GPP LTE/4G 无线通信的 DFT 变换系统，其特征在于，该系统包括：用于对输入数据进行上采样操作的前处理单元、使用流水线方式操作的可配置快速傅立叶变换 FFT 处理单元、用于输出最终离散傅立叶变换 DFT 结果的后处理单元及用以给所述前处理单元、可配置快速傅立叶变换 FFT 处理单元及后处理单元提供控制信号的控制逻辑单元：

前处理单元：用于接收一块 N 点数据 $[x(0), x(1), x(2), \dots, x(N-1)]$ ，对其进行上采样率转换，得到一 $M = 2^{LDN}$ 点数据的输出，其中 M 和 N 的关系预先制定成表，所述前处理单元还包括循环重构电路、可配置多相滤波器电路及插值电路，其中可配置多相滤波器电路的数据输入端与循环重构电路的数据输出端相连，插值电路的数据输入端与可配置滤波器的数据输出端相连；

循环重构电路：将输入的 N 点数据序列 $[x(0), x(1), x(2), \dots, x(N-1)]$ 进行循环化重构，得到输出数据序列 $[x(0), x(1), x(2), \dots, x(N-1), x(0), x(1), \dots, x(CL-1)]$ ，其中 CL 是重复数据的长度；

可配置多相滤波器电路：对循环重构电路的输出数据进行整数倍上采样，将多相滤波器的抽头系数预先计算好存放在系数查找表中，由抽头更新及数据选择逻辑子电路提供给各子运算电路，抽头更新和数据选择逻辑子电路选择数据延迟线上两组相邻的输入数据之一提供给运算子电路，运算子电路通过运算后得到整数倍上采样的样点序列 $[y(0), y(1), \dots, y(k), \dots]$ ；

插值电路：接收经过可配置多相滤波器电路整数倍上采样后的数据，进行插值操作，得到 $M = 2^{LDN}$ 点适合快速傅立叶变换 FFT 的数据，其中 M 和 LDN 的数值由控制逻辑单元提供， M 和 N 的对应关系是预先制定好的。

可配置快速傅立叶变换 FFT 处理单元：用于接收所述前处理单元输出的 $M = 2^{LDN}$ 点数据，并对其进行长度为 M 的快速傅立叶变换 FFT，然后将变换后的数据输出至后处理单元，所述可配置快速傅立叶变换 FFT 处理单元还包括若干依次串联的基 4 和/或基 2 单元、若干用以选择提供给各级基 4/基 2 单元电路的输入数据和最后一级的输出数据的多路选择器；



后处理单元：用于对所述可配置快速傅立叶变换 FFT 处理单元输出的数据进行频域补偿、数据抽取及预映射处理后得到最终的离散傅立叶变换 DFT 数据，所述后处理单元还包括频域补偿电路、数据抽取及预映射电路，所述频域补偿电路的输出端连接至所述数据抽取及预映射电路的输入端或者所述数据抽取及预映射电路的输出端连接至所述频域补偿电路的输入端；

频域补偿电路：获取可配置快速傅立叶变换 FFT 处理单元的处理结果，并从补偿因子查找表中读取对应的数据产生补偿因子，将两者进行复数相乘得到频域补偿后的输出；

数据抽取及预映射电路：进行频域数据的抽取以获得需要的数据，丢弃原来频带范围之外的数据，并且将子载波映射的部分处理和解比特反转结合起来，将数据直接写入用以子载波映射的存储器；

控制逻辑单元：接收外部的控制输入，然后产生相应的控制输出，提供给前处理单元、可配置快速傅立叶变换 FFT 处理单元以及后处理单元，以控制这些数据处理单元的工作方式和流程；提供的控制信号包括离散傅立叶变换 DFT 的长度 N ，快速傅立叶变换 FFT 的长度 M ，以及 LDN ($M = 2^{LDN}$ ，或者 $LDN = \log_2 M$)；根据控制逻辑单元提供的控制信号，前处理单元接收长度为 N 的输入数据，经过循环重构，多相滤波和插值操作产生长度为 M 的输出数据；根据控制逻辑单元提供的控制信号，可配置快速傅立叶变换 FFT 处理单元接收长度为 M 的输入数据，根据 LDN 的数值控制其内部基 4/基 2 单元和多路选择器的工作方式以完成 M 点的快速傅立叶变换 FFT 并输出 M 点快速傅立叶变换 FFT 结果；根据控制逻辑单元提供的控制信号，后处理单元接收长度为 M 的输入数据，进行频域补偿和频域抽取获得所需的数据，丢弃原来频带范围之外的数据，并将子载波映射的部分处理和解比特反转结合起来，得到 N 点输出数据。

所述前处理单元、可配置快速傅立叶变换 FFT 处理单元及后处理单元依



次相连，所述控制逻辑单元分别和所述前处理单元、可配置快速傅立叶变换 FFT 处理单元及后处理单元相连。

2、一种用于 3GPP LTE/4G 无线通信的 IDFT 系统，其特征在于，包括权利要求 1 所描述的离散傅立叶变换 DFT 系统，还包括用以对输入数据进行共轭操作的前共轭处理单元和对输出数据进行共轭操作的后共轭处理单元，所述前共轭处理单元的输出端连接至所述离散傅立叶变换 DFT 系统的前处理单元的输入端，而所述后共轭处理单元的输入端则连接至所述离散傅立叶变换 DFT 系统的后处理单元的输出端。

3、如权利要求 1 所述的系统，其特征在于，所述可配置多相滤波器电路包括若干多路选择器、运算子电路、抽头更新及数据选择逻辑子电路、系数查找表，所述系数查找表连接至所述抽头更新及数据选择逻辑子电路，所述抽头更新及数据选择逻辑子电路用以更新抽头系数及控制所述多路选择器选择输入数据。

4、如权利要求 1 所述的系统，其特征在于，所述可配置快速傅立叶变换 FFT 处理单元还包括时钟门控电路，所述时钟门控电路对应所述基 4/基 2 单元，用以控制该些基 4/基 2 单元的开启和关闭。

5、如权利要求 1 所述的系统，其特征在于，所述后处理单元还包括缓存器，所述缓存器和所述数据抽取及预映射电路相连或者与频域补偿电路相连，所述缓存器是与权利要求 1 所要求的系统的后续系统共同使用的，其中后续系统所指的是用于 3GPP LTE 上行链路发送方向的子载波映射和逆快速傅立叶变换 IFFT。

6、如权利要求 1 所述的系统，其特征在于，所述频域补偿电路包括复数乘法器子电路、补偿因子查找表及补偿因子产生逻辑子电路，所述补偿因子产生逻辑子电路设置在所述复数乘法器子电路和补偿因子查找表之间。

7、一种用于 3GPP LTE/4G 无线通信的 DFT/IDFT 变换方法，其特征在于，所述离散傅立叶变换 DFT 方法包括如下步骤：

(1)前处理单元接收一块 N 点数据 $[x(0), x(1), x(2), \dots, x(N-1)]$ ，对其进行上



采样率转换, 得到一 $M = 2^{LDN}$ 点数据的输出, 变换长度 N 按照 LTE 标准的要求有 35 种可能的取值, M 和 N 的关系预先制定成表, 具体来说又包括如下步骤:

S111: 循环重构电路将输入的 N 点数据序列 $[x(0), x(1), x(2), \dots, x(N-1)]$ 进行循环化重构, 得到输出数据序列 $[x(0), x(1), x(2), \dots, x(N-1), x(0), x(1), \dots, x(CL-1)]$, 其中 CL 是重复数据的长度, 或将后面的重复数据放置在原来输入数据序列的前部;

S112: 可配置多相滤波器电路对循环重构后的数据进行整数倍上采样, 将可配置多相滤波器的抽头系数预先计算好存放在系数查找表中, 由抽头更新及数据选择逻辑子电路提供给各子运算电路, 抽头更新和数据选择逻辑子电路选择数据延迟线上两组相邻的输入数据之一提供给运算子电路, 运算子电路通过运算后得到整数倍上采样的样点序列 $[y(0), y(1), \dots, y(k), \dots]$;

S113: 插值器电路接收经过可配置滤波器电路整数倍上采样后的数据, 进行插值操作, 得到 $M = 2^{LDN}$ 点适合快速傅立叶变换 FFT 的数据, 其中 M 和 LDN 的数值由控制逻辑单元确定, 预先制定一个表以得到 M 和 N 的对应关系;

(2) 可配置快速傅立叶变换 FFT 处理单元接收所述前处理单元输出的 $M = 2^{LDN}$ 点数据, 并对其进行长度为 M 的快速傅立叶变换 FFT, 然后将变换后的数据输出至后处理单元, 具体来说, 该可配置快速傅立叶变换 FFT 处理单元由若干基 4 单元和基 2 单元相串接并配合若干多路选择器所构成, 每个基 4/基 2 单元都对应着一个流水级, 根据控制逻辑单元给出的控制信息对输入数据进行处理, 并根据若干时钟门控单元控制这些基 4/基 2 单元的关闭和开启, 这些基 4/基 2 单元内部的资源包括蝶形运算模块、存放旋转因子的查找表、用以实现 Cooley-Tukey 算法对应的乘法器、以及存放输入/输出数据的缓存;

(3) 后处理单元对所述可配置快速傅立叶变换 FFT 处理单元输出的数据进行频域补偿、数据抽取及预映射处理后得到最终的离散傅立叶变换 DFT 数据, 具体来说, 又分为如下步骤:

S131: 频域补偿电路中的补偿因子产生逻辑子电路从补偿因子查找表中

读取数据，产生补偿因子之后送入复数乘法器子电路与步骤 S120 中可配置快速傅立叶变换 FFT 处理单元输出的结果相乘，并将相乘后的结果输入至数据抽取及预映射电路；

S132: 数据抽取及预映射电路对 S131 的输出数据进行频域数据的抽取以获得需要的数据，并丢弃原来频带范围之外的数据；

S133: 进行数据的预映射处理，即将子载波映射的部分处理和解比特反转结合起来，将数据直接写入用以子载波映射的存储器；

所述逆离散傅立叶变换 IDFT 方法只需先对前处理单元的输入数据进行共轭操作，再对后处理单元的输出数据进行共轭操作即可得到逆离散傅立叶变换 IDFT 数据。



用于3GPP LTE/4G无线通信的DFT/IDFT变换系统

技术领域

本发明涉及数字信号处理及数字信息传输技术领域，尤其涉及一种适于3GPP LTE及4G无线通信上行链路中SC-FDMA（单载波频分多址）所使用的DFT/IDFT（离散傅立叶变换/逆离散傅立叶变换）变换系统。

背景技术

目前的无线通信技术正在向4G演进，其中LTE是3GPP组织向4G方向长期演进的技术。虽然目前大多数无线通信标准采用OFDM（WiFi，802.16d，Flash OFDM）或者OFDMA（802.16e），但LTE选用的上行链路发送机制却是最新的SC-FDMA（单载波频分多址），也称为DFT-Spread OFDM（DFT扩展OFDM）。

与传统的OFDM相比，SC-FDMA作为上行链路的发送机制具有以下优点：

1、信号具有良好的PAPR（峰值/平均功率比），因为它采用了固有的单载波结构。PAPR在上行链路中非常重要，利用较低的PAPR，使得RFPA（射频功率放大器）的操作可以获得更高的效率，从而使手持设备（比如手机）的电池寿命更长。

2、SC-FDMA也具有OFDM多载波系统的优点。

请参见图1，其为现有SC-FDMA发送单元的结构图。图中负责数字信号处理的主要部分是DFT和IFFT，其中DFT是一种预编码，其用以削减由于OFDM调制所导致的高PAPR。对于IFFT/FFT（快速傅立叶反变换/快速傅立叶变换），其变换长度是2的整数次方（ 2^n 形式），通常的radix-4/radix-2（基4/基2）结构就可以高效处理而且技术也相当成熟。而对于DFT部分，其变换长度不是2的整数次方，因此计算方法比IFFT更为复杂，其为实现SC-FDMA的关键算法。



下面对DFT算法加以描述（DFT和IDFT可以通过对输入数据取共轭，变换后再对输出数据取共轭的简单算法相互转换，因此本发明对DFT的描述同样适用于IDFT）：

为了叙述上的方便，本发明认为DFT/FFT变换之前的输入信号是时域信号，DFT/FFT变换之后的输出信号为频域信号。在实际数字信号处理过程中，任何信号都可以作DFT/FFT变换，并不只局限于时域信号。

令 $[x(0), x(1), \dots, x(N-1)]$ 表示输入时域信号， $[X(0), X(1), \dots, X(N-1)]$ 表示DFT变换后的频域信号，则 N 点DFT可以用下式表示：

$$X(k) = \sqrt{\frac{1}{N}} \sum_{n=0}^{N-1} x(n) e^{-j2\pi k \frac{n}{N}} \quad (1)$$

相应的， N 点 IDFT 用下式表示：

$$x(n) = \sqrt{\frac{1}{N}} \sum_{k=0}^{N-1} X(k) e^{j2\pi k \frac{n}{N}} \quad (2)$$

LTE中的DFT预编码器尺寸 N 取决于为指定用户的上行链路数据发送分配的子信道数量，其以下式定义：

$$N = 12 \times 2^a 3^b 5^c \leq 1320 \quad (3)$$

其中 N 是子载波的数量， a ， b 和 c 在 $N \leq 1320$ 条件下都大于等于0（20MHz带宽时）。对于指定的用户， N 范围可以从12（ $a, b, c=0$ ）到1296，总共有35个不同的选择。不同子载波上的数据一起经过调制便形成了单载波上行链路的发送数据。

由公式（3）可见：LTE DFT的变换点数 N 不是2的整数次方，但是可以分解成若干个因子的积。理论上，如果变换点数可以分解成少量的小素数因子，就可以高效地实现DFT。因此，现有的有关LTE DFT的实现方法都是将 N 分解成小的素数因子2，3，5或相对素数因子4，8，9，通过WFTA（Winograd傅立叶变换算法）计算这些小点数的DFT。在因子分解过程中，又涉及到Cooley-Tukey FFT算法和Good-Thomas素因子FFT算法等，然后经过一系列重排序等步骤得到 N 点的DFT。



上述DFT算法虽然可以准确高效地计算LTE上行链路用到的DFT,但是其存在着以下缺陷:该DFT算法及变换系统的可扩展性较差,其只限于可以按(3)式分解的变换点数 N ,而对于不能按(3)式分解的任意变换点数 N 的DFT则无能为力。因此,一旦通信标准发生变化,采用了按其它因子分解或不能被分解的变换点数 N ,以前所作的大部分工作都将被迫改变,从而不利于设计复用和移植。

发明内容

针对上述缺陷,本发明提出了一种新型数字信号处理系统,以解决现有技术中DFT算法及变换系统的可扩展性较差,不利于设计复用和移植的问题

本发明提出一种用于3GPP LTE/4G无线通信的DFT/IDFT变换系统,其中DFT变换系统包括:用于对输入数据进行上采样操作的前处理单元、使用流水线方式操作的可配置FFT处理单元、用于输出最终DFT/IDFT变换结果的后处理单元及用以给所述前处理单元、可配置FFT处理单元及后处理单元提供控制信号的控制逻辑单元,所述前处理单元、可配置FFT处理单元及后处理单元依次相连,所述控制逻辑单元分别和所述前处理单元、可配置FFT处理单元及后处理单元相连;

依照本发明较佳实施例所述的系统,所述IDFT变换系统还包括用以对输入数据进行共轭操作的前共轭处理单元和后共轭处理单元,所述前共轭处理单元连接至所述前处理单元,而所述后共轭处理单元则连接至所述后处理单元。

依照本发明较佳实施例所述的系统,其前处理单元还包括循环重构电路、可配置多相滤波器电路及插值电路,其中可配置多相滤波器电路的数据输入端与循环重构电路的数据输出端相连,插值电路的数据输入端与可配置滤波器的数据输出端相连。

依照本发明较佳实施例所述的系统,其可配置多相滤波器电路包括若干多路选择器、运算子电路、抽头更新及数据选择逻辑子电路、系数查找表,所述系数查找表连接至所述抽头更新及数据选择逻辑子电路,所述抽头更新



及数据选择逻辑子电路用以更新抽头系数及控制所述多路选择器选择输入数据。

依照本发明较佳实施例所述的系统，其可配置 FFT 处理单元包括若干依次串联的基 4 和/或基 2 单元、若干用以选择提供给各级基 4/基 2 单元电路的输入数据和最后一级的输出数据的多路选择器。

依照本发明较佳实施例所述的系统，其可配置 FFT 处理单元还包括时钟门控电路，所述时钟门控电路对应所述基 4/基 2 单元，用以控制这些基 4/基 2 单元的开启和关闭。

依照本发明较佳实施例所述的系统，其后处理单元包括频域补偿电路、数据抽取及预映射电路，所述频域补偿电路的输出端连接至所述数据抽取及预映射电路的输入端或者所述数据抽取及预映射电路的输出端连接至所述频域补偿电路的输入端。

依照本发明较佳实施例所述的系统，其后处理单元还包括缓存器，所述缓存器和所述数据抽取及预映射电路相连或者与频域补偿电路相连；所述缓存器是与权利 1 所要求的系统的后续系统如子载波映射 (Sub-carrier Mapping) 共同使用的。

依照本发明较佳实施例所述的系统，其频域补偿电路包括复数乘法器子电路、补偿因子查找表及补偿因子产生逻辑子电路，所述补偿因子产生逻辑子电路设置在所述复数乘法器子电路和补偿因子查找表之间。

本发明又提出一种用于 3GPP LTE/4G 无线通信的 DFT/IDFT 变换方法，其中 DFT 变换方法包括如下步骤：

(1) 前处理单元接收一块 N 点数据 $[x(0), x(1), x(2), \dots, x(N-1)]$ ，对其进行上采样率转换，得到一 $M = 2^{LDN}$ 点数据的输出；

(2) 可配置 FFT 处理单元接收所述前处理单元输出的 $M = 2^{LDN}$ 点数据，并对其进行长度为 M 的 FFT 变换，然后将变换后的数据输出至后处理单元；

(3) 后处理单元对所述可配置 FFT 处理单元输出的数据进行频域补偿、数据抽取及预映射处理后得到最终的 DFT 变换数据；



而 IDFT 变换方法只需先对前处理单元的输入数据进行共轭操作, 再对后处理单元的输出数据进行共轭操作即可得到 IDFT 变换数据。

本发明通过前处理单元的上采样操作、可配置 FFT 处理单元的流水线式 FFT 变换以及后处理单元的频域补偿、数据抽取及预映射操作后, 不仅可以高效地计算 LTE 上行链路所使用的 DFT/IDFT, 经过简单扩展就可以使用同一套系统计算任意点数的 DFT/IDFT 变换, 所以其具有良好的可扩展性以适应未来的 4G 无线通信标准。

另外可配置变换长度的 FFT 相对于固定变换长度的 FFT 而言, 避免了使用大点数的 FFT 来计算小点数的 FFT, 从而提高了数据吞吐率; 同时可以关闭不需要工作的部分, 也节省了功耗。

上述所需的优点并不局限于在一个实施方案实施。

附图说明

图1为现有SC-FDMA发送单元的结构图;

图2为本发明一用于3GPP LTE/4G无线通信的DFT变换系统的顶层框架图;

图3为本发明一用于3GPP LTE/4G无线通信的IDFT变换系统的顶层框架图;

图4为本发明实施例一前处理单元的框图;

图5为本发明实施例一可配置多相滤波器电路的结构图;

图6为本发明实施例的一可配置 FFT 处理单元的结构图;

图7为本发明实施例一后处理单元的结构框图;

图8为本发明实施例的一频域补偿电路的结构图。

具体实施方式

本发明的核心在于: 通过对输入的 N 点数据进行上采样率转换, 得到 2 的整数次方 $M = 2^{LDN}$ 点数据, 然后对该 M 点数据进行流水线式的 FFT 处理,



最后经过频域补偿和数据抽取及预映射处理后得到 DFT 转换数据。

以下结合附图，具体说明本发明：

请参见图 2，其为本发明一用于 3GPP LTE/4G 无线通信的 DFT 变换系统的顶层框架图。该系统包括前处理单元 201、可配置 FFT 处理单元 202、后处理单元 203 及控制逻辑单元 204，其中，前处理单元 201 用于对输入数据进行上采样操作，可配置 FFT 处理单元 202 是使用流水线方式进行操作，后处理单元 203 用于输出最终 DFT/IDFT 的变换结果，控制逻辑单元 204 用以给前处理单元 201、可配置 FFT 处理单元 202 及后处理单元 203 提供控制信号，前处理单元 201、可配置 FFT 处理单元 202 和后处理单元 203 依次相连，而控制逻辑单元 204 则分别和前处理单元 201、可配置 FFT 处理单元 202 及后处理单元 203 相连。本申请所称连接是指电路间的电气连接，可以是直接连接，也可以是间接连接，并不限于以何种具体的方式相连。

该 DFT 变换系统的工作原理如下：前处理单元 201 的输入端接收输入数据并对其进行上采样率转换后输出至可配置 FFT 处理单元 202，该输入数据是复数数据，以块为单位，每块数据包含 N 点数据，而 N 取决于为指定用户的上行链路数据发送分配的子信道数量，经过前处理单元 201 的上采样后得到一 $M = 2^{LDN}$ 点数据的输出， $M = 2^{LDN}$ 为 2 的整数次方。可配置 FFT 处理单元 202 接收前处理单元 201 输出的 $M = 2^{LDN}$ 点数据，并对其进行长度为 M 的 FFT 变换，然后将变换后的数据输出至后处理单元 203。最后经后处理单元 203 对数据进行频域补偿、数据抽取及预映射处理后得到最终的 DFT 变换数据。

DFT 和 IDFT 可以通过对输入数据取共轭，变换后再对输出数据取共轭的简单算法相互转换，因此本发明的 IDFT 变换系统只需在 DFT 变换系统中加入进行取共轭操作的前共轭处理单元 205 和后共轭处理单元 206，该前共轭处理单元 205 的输入端用以接收输入数据，其输出端连接至前处理单元 201，而后共轭处理单元 206 的输入端则连接至后处理单元 203 的输出端（请参见图 3）。为方便说明，以下仅针对 DFT 变换系统加以详述。

请参见图 4，其为本发明实施例一前处理单元的框图，该前处理单元 201



的功能是接收一块 N 点数据，并对其进行上采样率转换，得到 M 点数据的输出，其由循环重构电路 401、可配置多相滤波器电路 402 及插值电路 403 依次串联所构成。本发明中的采样率转换关系是可以由设计者自行定义的，对于给定的 N ， M 的选择需要综合考虑可配置多相滤波器电路 402 设计的难易程度以及上采样的倍数。如果 M 和 N 相差太小，则可配置多相滤波器电路 402 难以设计；如果 M 远大于 N ，则上采样倍数过大。针对 LTE DFT 的各种变换长度 N ，发明人采用了如下表.1 所指定的采样率转换关系，以求得到最佳的性能。但需要指出的是，本发明并不只限于该些变换长度 N 和该种采样率转换关系，对于 LTE DFT 指定的各种变换长度 N 之外的其它变换长度以及其它采样率转换关系也同样适用。

DFT 变换长度 N	可配置 FFT 长度 M	上采样倍数
12	16	1.3333
24	32	1.3333
36	64	1.7778
48	64	1.3333
60	128	2.1333
72	128	1.7778
96	128	1.3333
108	256	2.3704
120	256	2.1333
144	256	1.7778
180	256	1.4222
192	256	1.3333
216	512	2.3704
240	512	2.1333
288	512	1.7778
300	512	1.7067
324	512	1.5802
360	512	1.4222
384	512	1.3333
432	1024	2.3704
480	1024	2.1333
540	1024	1.8963
576	1024	1.7778
600	1024	1.7067
648	1024	1.5802
720	1024	1.4222
768	1024	1.3333
864	2048	2.3704
900	2048	2.2756
960	2048	2.1333
972	2048	2.1070
1080	2048	1.8963
1152	2048	1.7778
1200	2048	1.7067



1296	2048	1.5802
------	------	--------

表.1

DFT/IDFT 变换在本质上是循环卷积, 循环重构电路 401 的功能就是将输入数据循环化之后重新构造出一组数据提供给后面的可配置多相滤波器电路 402。假设输入的一块数据为 $[x(0), x(1), x(2), \dots, x(N-1)]$, 经过循环重构电路 401 重构后, 该组数据即变为 $[x(0), x(1), x(2), \dots, x(N-1), x(0), x(1), \dots, x(CL-1)]$, 其中 CL 取决于后续滤波器的阶数, 当然, 该组数据也可以将后面的重复数据放置在原来输入数据序列的前部, 即 $[x(0), x(1), \dots, x(CL-1), x(0), x(1), x(2), \dots, x(N-1)]$ 。

由表.1 可以知道由 N 到 M 的上采样倍数均不是整数, 因此通常的多相滤波器不能适用。本发明采用一个可配置多相滤波器电路 402 对循环重构后的输入信号进行整数倍上采样, 而后通过插值电路 403 得到所需要 $M = 2^{LDN}$ 个输出数据。请参见图 5, 其为本发明实施例的可配置多相滤波器电路的结构图。该可配置多相滤波器电路 402 包括若干多路选择器 501、运算子电路 502、抽头更新及数据选择逻辑子电路 503、系数查找表 504。

输入数据 $x(n)$ 经过若干延迟因子 Z^{-1} 后, 构成一组新数据 $[x(n), x(n-1), \dots, x(n-P+1)]$ 。根据输入信号符号率和系统时钟频率的不同, 延迟因子 Z^{-1} 对应着不同数目的时钟周期数, 由此该可配置多相滤波器的运算资源可以在不同的时钟周期里进行复用。输入数据 $x(n)$ 经过若干延迟因子 Z^{-1} 由若干多路选择器 501 进行筛选, 而该筛选过程则可以由抽头更新及数据选择逻辑子电路 503 进行控制, 使其在 $[x(n), x(n-1), \dots, x(n-P+1)]$ 和 $[x(n-1), x(n-2), \dots, x(n-P)]$ 两组数据中选取一组, 其中 P 是可配置多相滤波器所用的抽头个数。经过筛选后的数据将会通过运算子电路 502 而得到整数倍上采样的样点 $y(k)$, 运算子电路 502 包括若干乘法器 505 和加法器 506, 具体来说, 即筛选后的数据和滤波器的抽头系数 $[w_0, w_1, \dots, w_{P-1}]$ 对应相乘, 最后通过加法器 506 得到 $y(k)$ 的输出。上述抽头系数 $[w_0, w_1, \dots, w_{P-1}]$ 由图 5 中的抽头更新及数据选择逻辑子电路 503 从系数查找表 504 中读出来, 读出位置随输入数据在输入块中位置的变化而变化。系数查找表 504 的数据是预先计算好的, 可以存放在 ROM 中, 也可存放在 RAM 中以便动态配置。



循环输入数据 $[x(0), x(1), x(2), \dots, x(N-1), x(0), x(1), \dots, x(CL-1)]$ 经过可配置多相滤波器电路 402 后便得到整数倍上采样的样点序列 $[y(0), y(1), \dots, y(k), \dots]$ ，这些样点数据在位置上靠近最终要得到的输出数据，其经过前处理单元 201 的最后一个模块是插值电路 403 的插值操作后，即可以得到和表. 1 相对应的采样率的 M 点数据输出。上述插值可以使用多种算法，在通常情况下简单的线性插值就足够了。

上述的可配置多相滤波电路 402 及插值电路 403 是前处理单元 201 的主要运算模块。为简化设计，对所有的 DFT/IDFT 变换点数，可配置多相滤波器的抽头个数 P 设置为固定值，同时系数查找表 504 的系数也固化在 ROM 中。

接下来继续介绍本发明中可配置 FFT 处理单元 202 的结构及其工作原理。请参见图 6，其为本发明实施例的一可配置 FFT 处理单元的结构图。该可配置 FFT 处理单元 202 由若干基 4 单元和基 2 单元并配合若干多路选择器 601 所构成。这种结构的可配置 FFT 处理单元 202，其变换的最大长度为 2048，这是为了和表.1 的数据相对应，根据表.1，对应于不同的 DFT 变换长度 N ，相应的 FFT 变换长度 $M = 2^{LDN}$ 是不同的。因此本发明所使用的可配置 FFT 处理单元 202 的变换长度是可以配置的，相应于 LTE 的上行链路，可配置 FFT 处理单元 202 的变换长度可以设置为 16, 32, 64, 128, 256, 512, 1024, 2048。

为了实现上述可变换长度，在本实施例中可配置 FFT 处理单元 202 由 5 个基 4 单元和 1 个基 2 单元并配合 4 个多路选择器 601 所构成，并且其结合方式也是由上述变换长度所决定的。采用基 4 单元作为基本处理模块的好处是能够节省乘法器的个数，由于全部由基 4 单元组成的 FFT 处理器只能处理变换长度为 4^n 的 FFT，所以需要在流水级的最后添加一个基 2 单元，以便能够处理变换长度为 2^k 但不是 4^n 的 FFT。

上述每个基 4/基 2 单元都对应着一个流水级，根据控制逻辑单元 204 给出的控制信息对输入数据进行处理，并根据若干时钟门控单元 602 控制这些基 4/基 2 单元的关闭和开启。这些基 4/基 2 单元内部的资源包括蝶形运算模块、存放旋转因子的查找表、用以实现 Cooley-Tukey 算法对应的乘法器、以及存放输入/输出数据的缓存等。以变换长度为 256 的 FFT 为例，在这种情况下



下输入数据 $x(n)$ 直接送到基 4 单元 1, 经过基 4 单元 1, 2, 3, 4 的处理后直接由基 4 单元 4 输出变换后的比特反转顺序的数据, 而基 4 单元 0 和基 2 单元则不用工作, 可以直接将其关闭以节省功耗。

可配置变换长度的 FFT 相对于固定变换长度的 FFT 而言, 避免了使用大点数的 FFT 来计算小点数的 FFT, 从而提高了数据吞吐率; 同时可以关闭不需要工作的部分, 也节省了功耗。

最后, 我们对后处理单元 203 予以介绍, 请参见图 7, 其为本发明实施例一后处理单元的结构框图。该后处理单元 203 包括频域补偿电路 701、数据抽取及预映射电路 702 和缓存器 703, 其中频域补偿电路 701 的输出端连接至数据抽取及预映射电路 702 的输入端, 而数据抽取及预映射电路 702 的输出端则连接至缓存器 703 的输入端。后处理单元 203 从可配置 FFT 处理单元 202 接收 $M = 2^{LDN}$ 点输入数据, 通过频域补偿电路 701 对 FFT 变换后的给定位置上数据进行频域补偿, 然后通过数据抽取及预映射电路 702 抽取需要的频率点的数据得到 N 点数据, 这就是 DFT 变换的结果。在这里需要指出的是, 频域补偿和数据抽取过程是相互独立的, 在实际处理过程中其顺序是可以根据需要改变的, 但其基本的原理是一致的, 所以本实施例中仅以先频域补偿后数据抽取的顺序予以介绍。

时域上两个信号的循环卷积的 DFT 等于这两个信号的 DFT 的乘积, 设输入信号表示为 $x(n)$ 其 DFT 变换为 $X(k)$, 由可配置多相滤波电路 402 及插值电路 403 级联而成的滤波器的响应为 $h(n)$ 及相应的 DFT 变换为 $H(k)$, 则以下关系成立:

$$y(n) = x(n) \otimes h(n) \quad \longleftrightarrow \quad Y(k) = X(k) \cdot H(k) \quad (4)$$

所以可配置 FFT 处理单元 202 的输出必须进行频域补偿才能得到输入 $x(n)$ 的 DFT 变换 $X(k)$, 也就是下式:

$$X(k) = Y(k) / H(k) \quad (5)$$

请参见图 8, 其为本发明实施例的一频域补偿电路的结构图。该频域补偿电路 701 包括复数乘法器子电路 801、补偿因子查找表 802 及补偿因子产生逻辑子电路 803, 其中补偿因子产生逻辑子电路 803 设置在所述复数乘法器子电



路 801 和补偿因子查找表 802 之间。补偿因子产生逻辑子电路 803 从补偿因子查找表 802 中读取数据，产生补偿因子之后送入复数乘法器子电路 801 与可配置 FFT 处理单元 202 输出的结果相乘。上述补偿因子查找表 802 中存放的数值可以通过直接计算由可配置多相滤波电路 402 及插值电路 403 相级联形成的复合滤波器的频域响应得到，也可以存放该频率响应的曲线拟合的系数以节省存储空间。

由于输入的 N 点数据按照表. 1 进行了上采样，并经过 FFT 变换之后产生了一些在其所能观察到的频谱范围之外的频域数据。因此，需要通过数据抽取及预映射电路 702 进行频域数据的抽取以获得需要的数据，丢弃原来频带范围之外的数据。另外，经过可配置 FFT 处理单元 202 变换后的数据是按照比特反转顺序输出的，要得到正常顺序输出的数据则必须使用一个额外的缓存器 703 以重新排序数据。本发明在实现过程中，为了节省存储资源，可以将子载波映射的部分处理和解比特反转结合起来，将数据直接写入用以子载波映射的存储器 703，这就是预映射处理过程。这样，后处理单元 203 即得到了 DFT 变换的最终结果。

在硬件实现上，本发明使用的主要资源是乘法器和存储器（包括 RAM 和 ROM）。采用抽头数目为 8 的可配置多相滤波器和线性插值器，前处理单元 201 和后处理单元 203 均使用 18 位的定点运算，可配置 FFT 处理器使用准浮点运算，计算结果和 C 语言模型的标准 DFT 的结果相比，其量化误差 SQNR 可以达到 60dB 以上。

3GPP LTE 上行链路使用的最大带宽为 20MHz，如果我们使系统时钟频率达到 120MHz，160MHz，200MHz 或者 240MHz，则每个数据符号（Symbol）对应着若干个时钟周期，相应地则可以对系统硬件资源进行多倍复用。表. 2 给出了采用抽头数目为 8 的可配置多相滤波器和线性插值器，对应不同时钟频率及不同复用倍数条件下的大致资源使用情况（不包括后处理单元与后面的子载波映射所共用的缓存）。



时钟频率 MHz	复用倍数	补偿因子产生方式	RAM Kbits	ROM kbits	乘法器个数
120	2	直接产生	~56	~190	28
120	2	曲线拟合	~56	~30	33
160	3	直接产生	~56	~190	17
160	3	曲线拟合	~56	~30	20
200	4	直接产生	~56	~190	15
200	4	曲线拟合	~56	~30	18
240	5	直接产生	~56	~190	13
240	5	曲线拟合	~56	~30	15

表. 2

基于上述系统，本发明又提出一种用于 3GPP LTE/4G 无线通信的 DFT/IDFT 变换方法，该 DFT 变换方法包括如下步骤：

S110: 前处理单元接收一块 N 点数据 $[x(0), x(1), x(2), \dots, x(N-1)]$ ，对其进行上采样率转换，得到一 $M = 2^{LDN}$ 点数据的输出。具体来说又包括如下步骤：

S111：循环重构电路将输入的 N 点数据序列 $[x(0), x(1), x(2), \dots, x(N-1)]$ 进行循环化重构，得到输出数据序列 $[x(0), x(1), x(2), \dots, x(N-1), x(0), x(1), \dots, x(CL-1)]$ ，其中 CL 是重复数据的长度，也可以将后面的重复数据放置在原来输入数据序列的前部；

S112：可配置多相滤波器电路对循环重构后的数据进行整数倍上采样，将可配置多相滤波器的抽头系数预先计算好存放在系数查找表中，由抽头更新及数据选择逻辑子电路提供给各子运算电路，抽头更新和数据选择逻辑子电路选择数据延迟线上两组相邻的输入数据之一提供给运算子电路，运算子电路通过运算后得到整数倍上采样的样点序列 $[y(0), y(1), \dots, y(k), \dots]$ 。

S113：插值器电路接收经过可配置滤波器电路整数倍上采样后的数据，进行插值操作，得到 $M = 2^{LDN}$ 点适合 FFT 变换的数据，其中 M 和 LDN 的数值由控制逻辑单元确定，可以预先制定一个表以得到 M 和 N 的对应关系。



S120:可配置 FFT 处理单元接收所述前处理单元输出的 $M = 2^{LDN}$ 点数据, 并对其进行长度为 M 的 FFT 变换, 然后将变换后的数据输出至后处理单元。具体来说该可配置 FFT 处理单元可以由若干基 4 单元和基 2 单元相串接并配合若干多路选择器所构成。每个基 4/基 2 单元都对应着一个流水级, 根据控制逻辑单元给出的控制信息对输入数据进行处理, 并根据若干时钟门控单元控制这些基 4/基 2 单元的关闭和开启。这些基 4/基 2 单元内部的资源包括蝶形运算模块、存放旋转因子的查找表、用以实现 Cooley-Tukey 算法对应的乘法器、以及存放输入/输出数据的缓存等。

S130:后处理单元对所述可配置 FFT 处理单元输出的数据进行频域补偿、数据抽取及预映射处理后得到最终的 DFT 变换数据, 需要指出的是, 频域补偿和数据抽取过程是相互独立的, 在实际处理过程中其顺序是可以根据需要改变的, 但其基本的原理是一致的。具体来说, 又可以分为如下步骤:

S131: 频域补偿电路中的补偿因子产生逻辑子电路从补偿因子查找表中读取数据, 产生补偿因子之后送入复数乘法器子电路与步骤 S120 中可配置 FFT 处理单元输出的结果相乘, 并将相乘后的结果输入至数据抽取及预映射电路;

S132: 数据抽取及预映射电路对 S131 的输出数据进行频域数据的抽取以获得需要的数据, 并丢弃原来频带范围之外的数据;

S133:进行数据的预映射处理,即将子载波映射的部分处理和解比特反转结合起来, 将数据直接写入用以子载波映射的存储器。

本发明通过前处理单元的上采样操作、可配置 FFT 处理单元的流水线式 FFT 变换以及后处理单元的频域补偿、数据抽取及预映射操作后, 不仅可以高效地计算 LTE 上行链路所使用的 DFT/IDFT, 同时具有良好的可扩展性以适应未来的 4G 无线通信标准。

另外可配置变换长度的 FFT 相对于固定变换长度的 FFT 而言, 避免了使用大点数的 FFT 来计算小点数的 FFT, 从而提高了数据吞吐率; 同时可以关闭不需要工作的部分, 也节省了功耗。

以上公开的仅为本发明的几个具体实施例, 但本发明并非局限于此, 任



何本领域的技术人员能思之的变化，都应落在本发明的保护范围内。



说明书附图

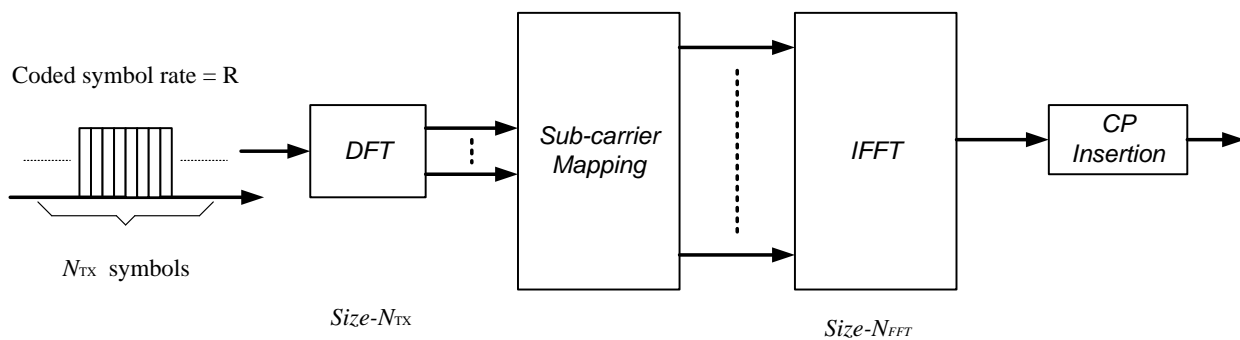


图 1

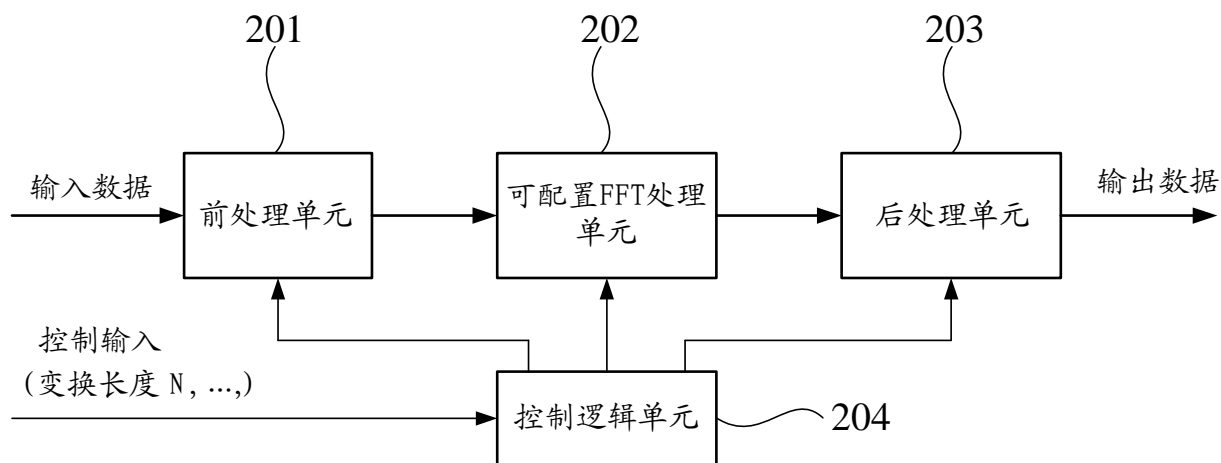


图 2



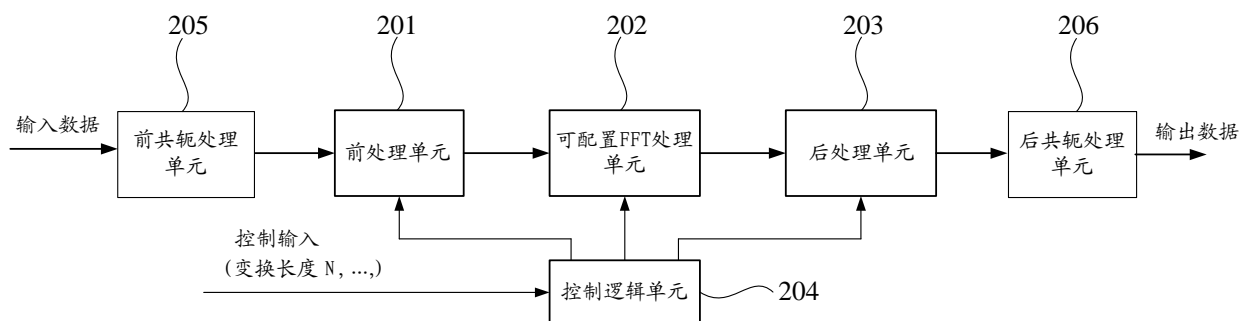


图 3

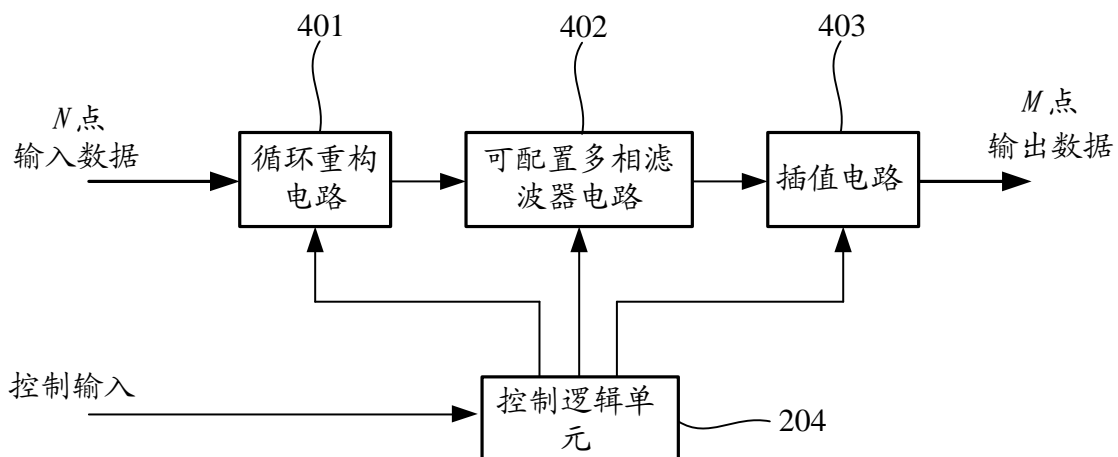


图 4



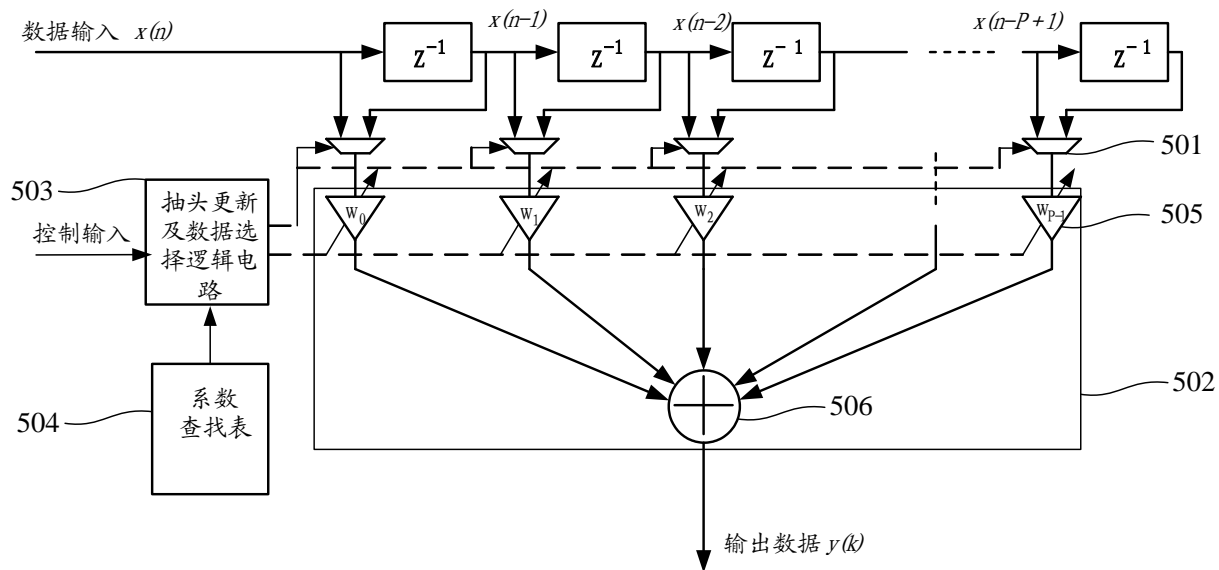


图 5

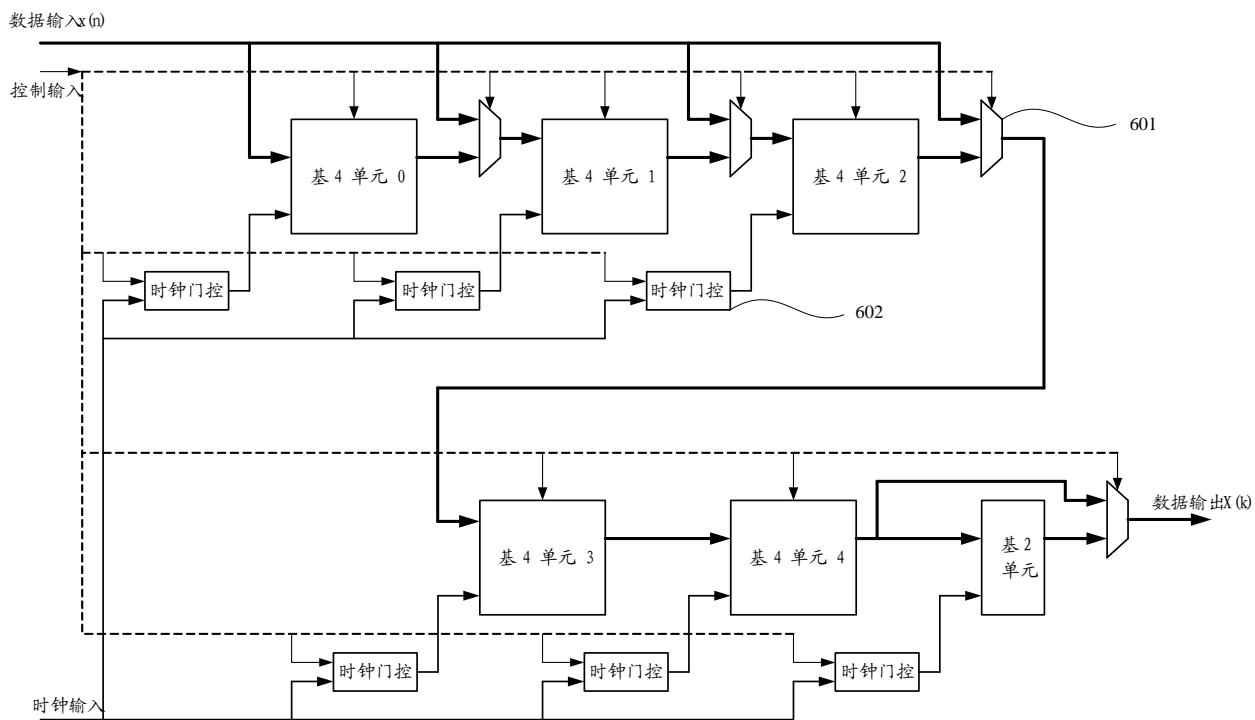


图 6



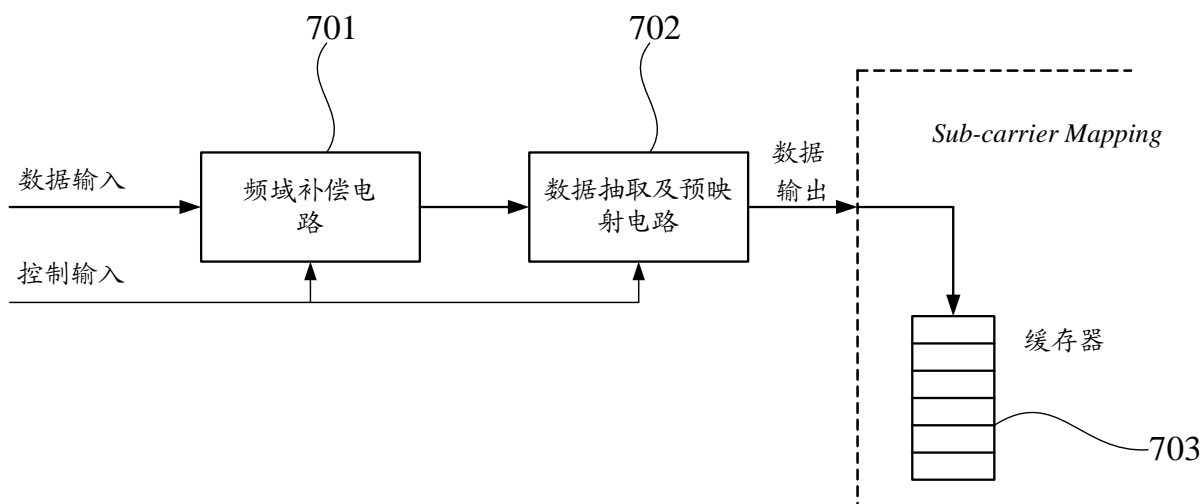


图 7

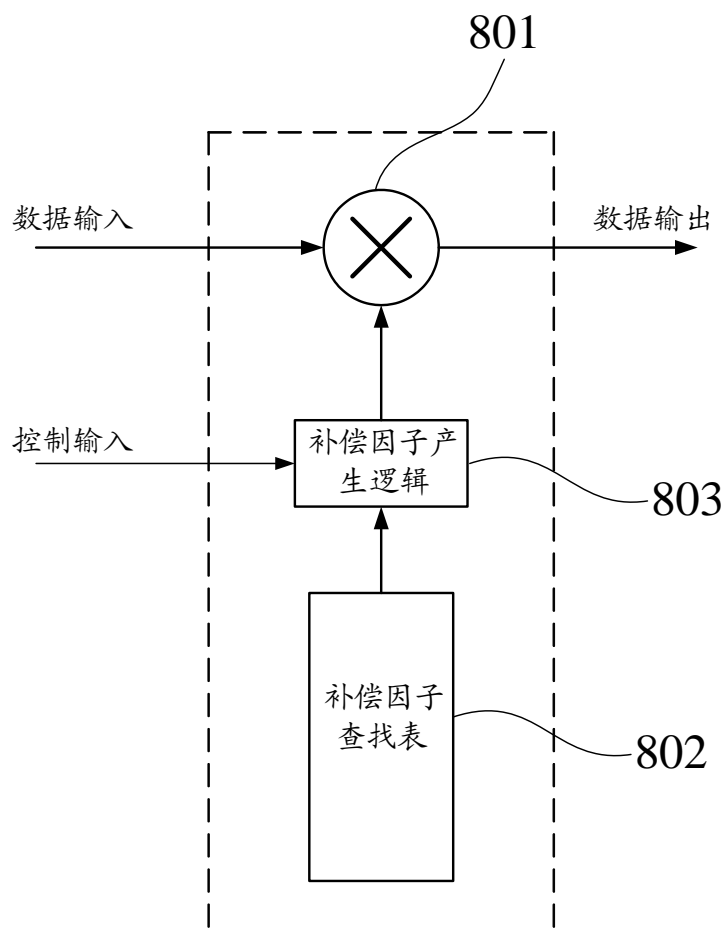


图 8

